

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-331261

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

H03M 13/00

(21)Application number : 08-149263

(71)Applicant : NIPPON HOSO KYOKAI <NHK>

(22)Date of filing : 11.06.1996

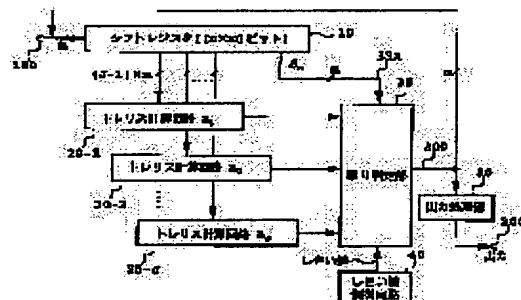
(72)Inventor : KOBAYASHI KAZUMASA
KOBAYASHI KIICHI
KURODA TORU
TAKADA MASAYUKI

(54) CORRECTION CIRCUIT FOR ERROR OF LAX DECISION ON TRELLIS AND ADJUSTING METHOD FOR TRELLIS VARIATION

(57)Abstract:

PROBLEM TO BE SOLVED: To pipeline a feedback route in a trellis lax decision error correcting circuit in an arbitrary number of stages so as to increase the operating speed of the circuit by realizing an effective compensating means for avoiding the time lag between the timing of each data group to be used for processing signals when the feedback route is pipelined.

SOLUTION: In a trellis lax decision error correcting circuit which decodes codes which can be decoded in accordance majority logic, a trellis variation adjusting section which inputs a feedback signal 300 outputted from an error decision section 30 to the stage of a syndrome register 10 which is on the rear side of the received word inputting terminal of the register 10 by a required number of stages and, at the same time, compensates a trellis calculation error by referring to the signal 300 when a delay of $m1=(\alpha \times m2)$ clocks is allowed to a trellis calculating section 20 (20-1 to 20-J) and a delay of $m2$ clocks is allowed to the section 30 is provided in the section 30. Therefore, the operating speed of this trellis lax decision error correcting circuit becomes faster by $(m1+m2)$ times in maximum as compared with the case where no delay is allowed to the error decision circuit.



LEGAL STATUS

[Date of request for examination]

11.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3452725

[Date of registration] 18.07.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-331261

(43)公開日 平成9年(1997)12月22日

(51)IntCl⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 M 13/00

H 0 3 M 13/00

審査請求 未請求 請求項の数6 O L (全 16 頁)

(21)出願番号 特願平8-149263

(22)出願日 平成8年(1996)6月11日

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72)発明者 小林 和正

東京都世田谷区砧一丁目10番11号 日本放送協会 放送技術研究所内

(72)発明者 小林 希一

東京都世田谷区砧一丁目10番11号 日本放送協会 放送技術研究所内

(72)発明者 黒田 徹

東京都世田谷区砧一丁目10番11号 日本放送協会 放送技術研究所内

(74)代理人 弁理士 谷 義一 (外1名)

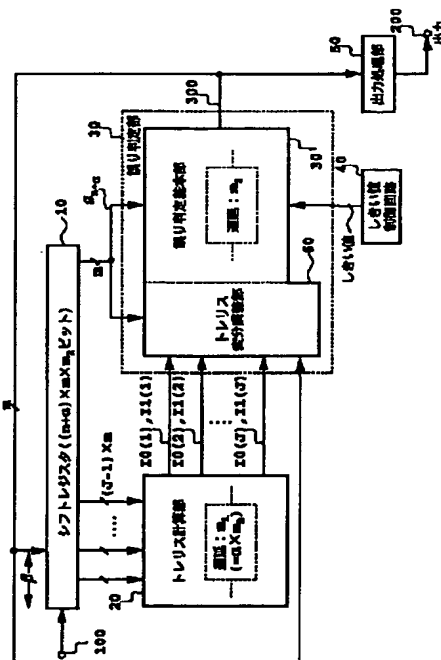
最終頁に続く

(54)【発明の名称】 トレリス軟判定誤り訂正回路およびトレリス変分調整方法

(57)【要約】

【課題】 トレリス軟判定誤り訂正回路中の帰還経路をパイプライン化した場合の、信号処理に使用すべきデータ群相互のタイミングの時間的ずれを回避するための有効な補償手段を実現することで、任意段数のパイプライン化を施すことを可能にし、高速化を図ること。

【解決手段】 多数決論理復号可能な符号を復号するトレリス軟判定誤り訂正回路において、トレリス計算部20に $m_1 = (\alpha \times m_2)$ クロック分、誤り判定部30には m_2 クロック分の遅延を許容するとき、誤り判定部30から出力される帰還信号300を、シンドロームレジスタ10の受信語入力端から所要段数分後方(β)に入力するとともに、帰還信号300を参照しながらトレリス計算の誤差を補償するトレリス変分調整部60を誤り判定部30内に設ける。これにより誤り判定回路に遅延を仮定しない場合に比べて最大 $m_1 + m_2$ 倍高速なトレリス軟判定誤り訂正回路を構成できるようにした。



【特許請求の範囲】

【請求項1】 m ($m > 1$) ビット幅のバイナリ信号を入力とし、符号長 n なる多数決論理復号可能な符号を復号するトレリス軟判定誤り訂正回路において、受信語入力端から β 番目 ($\beta > 1$) のレジスタに帰還された判定結果の入力端子を持つシフトレジスタと、該シフトレジスタからトレリス計算回路へのデータ転送クロックを単位として m_1 クロック遅延して演算結果を出力するトレリス計算部と、前記シフトレジスタから前記トレリス計算回路へのデータ転送クロックを単位として m_2 クロック遅延して演算結果を出力する誤り判定部とを有することを特徴とするトレリス軟判定誤り訂正回路。

【請求項2】 請求項1に記載のトレリス軟判定誤り訂正回路において、前記 m_1 、 m_2 、 β の各定数は、 m_2 は正の整数、 $m_1 = \alpha \times m_2$ 、 $\alpha = 0$ または正の整数、 $\beta = \alpha + 2$ または $\beta = (\alpha + 1) \times m_2 + 1$ であることを特徴とするトレリス軟判定誤り訂正回路。 *

$S_{i,i} \leq \beta - 1$ を使用する前記トレリス計算回路の演算結果に

振幅制限操作と交換操作を施すことを特徴とするトレリス軟判定誤り訂正回路。

【請求項5】 請求項4に記載のトレリス軟判定誤り訂正回路において、前記トレリス変分調整部の前記振幅制限操作は、 m ビット信号の最大信号値 I_{\max} ($2^m - 1$)、帰還信号 I_{rb} 、絶対値操作を $|\cdot|$ で表すとき、前記トレリス計算回路の出力信号値を $I_{\max} \times |I_{\max} - 2 \times I_{rb}|$ 以下に制限することを特徴とし、前記トレリス変分調整部の前記交換操作は、 $I_{th} = (I_{\max} + 1) / 2$ とするとき、 $I_{rb} \geq I_{th}$ のときに前記トレリス計算回路の2つの出力を交換する操作であること※

$S_{i,i} \leq \beta - 1$ を使用する前記トレリス計算回路の演算結果に

振幅制限操作と交換操作を施す工程とを有し、前記振幅制限操作を施す工程では、 m ビット信号の最大信号値 I_{\max} ($2^m - 1$)、帰還信号 I_{rb} 、絶対値操作を $|\cdot|$ で表すとき、前記トレリス計算回路の出力信号値を $I_{\max} \times |I_{\max} - 2 \times I_{rb}|$ 以下に制限すること実行し、前記交換操作を施す工程では、 $I_{th} = (I_{\max} + 1) / 2$ とするとき、 $I_{rb} \geq I_{th}$ のときに前記トレリス計算回路の2つの出力を交換する操作を実行することを特徴とするトレリス変分調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トレリス軟判定誤り訂正回路およびトレリス変分調整方法に関わり、特に誤り訂正回路を構成する主要な機能ブロックに遅延を許容することによって、高速に誤り訂正を行う回路を構成

*【請求項3】 請求項1または2に記載のトレリス軟判定誤り訂正回路において、

前記誤り判定部は、前記シフトレジスタへの帰還信号を監視しつつ、 $\beta = 1$ の場合のトレリス軟判定誤り判定回路との誤差を補償するトレリス変分調整部を有することを特徴とするトレリス軟判定誤り訂正回路。

【請求項4】 請求項3に記載のトレリス軟判定誤り訂正回路において、

前記トレリス変分調整部は、前記シフトレジスタの受信語入力端から数えて i 番目のレジスタ出力を S_i とするとき、

【外1】

$$\beta - 1 \text{ ビット目までのレジスタ } S_{i,i} \leq \beta - 1$$

を誤り訂正動作時に値0 (m ビット信号の最小信号値) にセットし、毎クロックの帰還信号を監視しながら必要に応じて

【外2】

※を特徴とするトレリス軟判定誤り訂正回路。

【請求項6】 請求項3に記載の前記トレリス変分調整部でのトレリス変分調整方法において、

前記シフトレジスタの受信語入力端から数えて i 番目のレジスタ出力を S_i とするとき、

【外3】

$$\beta - 1 \text{ ビット目までのレジスタ } S_{i,i} \leq \beta - 1$$

30 を誤り訂正動作時に値0 (m ビット信号の最小信号値) にセットする工程と、

毎クロックの帰還信号を監視しながら必要に応じて

【外4】

する技術に関わる。

【0002】 本発明は例えば、TV多重文字放送、FM多重放送、衛星データチャネルなどのデジタル受信機や光カードのリーダ装置などのように、デジタル信号の伝送、記録を行う装置で使用される多数決論理復号可能な符号の誤り訂正を行なう誤り訂正回路に好適である。

40 【0003】 特に、本発明はある種の演算をブロック単位で行なってデジタル伝送やデジタル記録等において発生するデジタル信号のビット誤りを訂正する誤り訂正符号(ブロック符号)のうち、多数決論理復号可能な符号を復号するトレリス軟判定誤り訂正回路に関する。

【0004】

【従来の技術】 従来のこの種のトレリス軟判定誤り訂正回路の基本的な構成例は、図1に示すように、受信語入力端子100から m (> 1) ビット幅のバイナリ信号を入力する $n \times m$ ビットのシフトレジスタ10と、 J (直

交する複合パリティ検査和数)個のトレリス計算回路20と、しきい値制御回路40と、誤り判定部30と、この誤り判定部30からの出力信号(誤り判定出力)300を所望の2値出力に変換する出力処理部50とからなり、誤り判定出力300は、上記シフトレジスタの受信語入力端に帰還される(黒田ほか:特願平5-303003号)。

【0005】このとき各部の構成または機能は大略以下のものである。

【0006】従来のトレリス計算回路の構成を示す図210を参照すると、トレリス計算回路20には、上記シフト*

*レジスタ10の互いに異なる位置から取られた各々J-1個のmビット信号が入力される。

【0007】次の表1および表2～表5は、それぞれ(273, 191)差集合巡回符号と、(1057, 813)差集合巡回符号の複合パリティ検査和(CPCS)A_iの計算に使用されるシフトレジスタのビット位置をシフトレジスタの受信語入力端側から数えて記した例である(S_iは、受信語入力端から見てi番目のレジスタ出力を表す)。

【0008】

【表1】

A ₁	S ₇₂ +S ₇₇ +S ₈₇ +S ₁₀₅ +S ₁₀₇ +S ₁₁₄ +S ₁₄₅ +S ₁₄₇ +S ₁₅₈ +S ₁₆₁ +S ₁₇₀ +S ₂₀₅ +S ₂₂₃ +S ₂₃₇ +S ₂₄₉ +S ₂₅₅ +S ₂₇₃
A ₂	S ₁₈ +S ₃₀ +S ₃₆ +S ₁₀₅ +S ₁₂₄ +S ₁₂₅ +S ₁₅₂ +S ₁₆₃ +S ₁₆₅ +S ₁₇₆ +S ₁₇₉ +S ₁₈₈ +S ₂₂₄ +S ₂₄₁ +S ₂₄₅ +S ₂₅₇ +S ₂₇₃
A ₃	S ₆ +S ₂₄ +S ₃₆ +S ₁₀₁ +S ₁₁₁ +S ₁₃₀ +S ₁₃₁ +S ₁₅₈ +S ₁₆₉ +S ₁₇₁ +S ₁₈₂ +S ₁₈₅ +S ₁₉₄ +S ₂₃₀ +S ₂₄₇ +S ₂₅₁ +S ₂₇₃
A ₄	S ₂₂ +S ₂₈ +S ₄₈ +S ₁₁₈ +S ₁₂₃ +S ₁₅₂ +S ₁₅₃ +S ₁₆₃ +S ₁₆₇ +S ₁₉₁ +S ₁₉₃ +S ₂₀₄ +S ₂₀₇ +S ₂₁₆ +S ₂₅₈ +S ₂₅₉ +S ₂₇₃
A ₅	S ₄ +S ₂₈ +S ₃₂ +S ₃₀ +S ₁₂₃ +S ₁₂₇ +S ₁₅₇ +S ₁₅₈ +S ₁₆₇ +S ₁₆₄ +S ₁₉₅ +S ₁₉₇ +S ₂₀₉ +S ₂₁₁ +S ₂₂₀ +S ₂₅₆ +S ₂₇₃
A ₆	S ₁₇ +S ₂₁ +S ₄₃ +S ₄₉ +S ₅₇ +S ₁₃₅ +S ₁₄₄ +S ₁₅₄ +S ₁₇₃ +S ₁₇₄ +S ₁₈₁ +S ₂₁₂ +S ₂₁₄ +S ₂₂₅ +S ₂₂₈ +S ₂₃₇ +S ₂₇₃
A ₇	S ₃₈ +S ₅₃ +S ₅₇ +S ₇₉ +S ₈₀ +S ₁₀₃ +S ₁₇₆ +S ₁₈₇ +S ₁₉₇ +S ₂₀₇ +S ₂₁₀ +S ₂₁₇ +S ₂₄₈ +S ₂₅₀ +S ₂₆₁ +S ₂₆₄ +S ₂₇₃
A ₈	S ₉ +S ₄₅ +S ₅₃ +S ₅₅ +S ₅₈ +S ₉₄ +S ₁₁₃ +S ₁₈₄ +S ₁₈₉ +S ₁₉₆ +S ₂₁₈ +S ₂₁₉ +S ₂₃₅ +S ₂₅₇ +S ₂₅₉ +S ₂₇₀ +S ₂₇₃
A ₉	S ₅ +S ₁₅ +S ₄₅ +S ₅₅ +S ₅₉ +S ₉₁ +S ₉₇ +S ₁₁₆ +S ₁₈₇ +S ₁₉₃ +S ₂₀₂ +S ₂₂₁ +S ₂₃₃ +S ₂₃₉ +S ₂₅₀ +S ₂₅₃ +S ₂₇₃
A ₁₀	S ₁₁ +S ₁₄ +S ₂₃ +S ₂₅ +S ₇₈ +S ₈₀ +S ₁₀₂ +S ₁₀₆ +S ₁₃₆ +S ₁₅₆ +S ₂₀₃ +S ₂₁₃ +S ₂₂₂ +S ₂₃₃ +S ₂₄₀ +S ₂₇₁ +S ₂₇₃
A ₁₁	S ₂ +S ₁₃ +S ₁₉ +S ₂₀ +S ₅₁ +S ₇₃ +S ₈₂ +S ₁₀₄ +S ₁₁₀ +S ₁₃₃ +S ₂₀₀ +S ₂₀₆ +S ₂₁₅ +S ₂₃₄ +S ₂₃₅ +S ₂₄₃ +S ₂₇₃
A ₁₂	S ₃₁ +S ₃₃ +S ₄₄ +S ₄₇ +S ₅₆ +S ₉₂ +S ₁₀₉ +S ₁₁₃ +S ₁₃₅ +S ₁₄₁ +S ₁₅₉ +S ₂₃₁ +S ₂₃₆ +S ₂₄₆ +S ₂₅₅ +S ₂₅₆ +S ₂₇₃
A ₁₃	S ₇ +S ₂₃ +S ₄₀ +S ₅₁ +S ₅₄ +S ₅₃ +S ₉₃ +S ₁₁₅ +S ₁₂₀ +S ₁₄₂ +S ₁₄₈ +S ₁₉₈ +S ₂₃₃ +S ₂₄₃ +S ₂₅₃ +S ₂₇₃ +S ₂₇₈
A ₁₄	S ₁ +S ₅ +S ₂₉ +S ₄₁ +S ₅₂ +S ₅₅ +S ₇₄ +S ₁₀₇ +S ₁₁₇ +S ₁₂₁ +S ₁₄₃ +S ₁₄₉ +S ₁₅₇ +S ₂₂₉ +S ₂₄₄ +S ₂₅₄ +S ₂₇₃
A ₁₅	S ₁₉ +S ₂₂ +S ₂₇ +S ₂₈ +S ₃₀ +S ₇₁ +S ₇₄ +S ₈₃ +S ₁₁₉ +S ₁₃₆ +S ₁₄₀ +S ₁₅₂ +S ₁₅₅ +S ₁₉₅ +S ₂₅₈ +S ₂₅₉ +S ₂₇₃
A ₁₆	S ₁₀ +S ₂₃ +S ₃₀ +S ₃₇ +S ₃₈ +S ₇₀ +S ₈₁ +S ₈₄ +S ₉₃ +S ₁₂₃ +S ₁₄₅ +S ₁₅₀ +S ₁₇₃ +S ₁₇₈ +S ₁₉₅ +S ₂₅₉ +S ₂₇₃
A ₁₇	S ₅ +S ₁₅ +S ₃₄ +S ₃₅ +S ₄₃ +S ₇₃ +S ₇₅ +S ₈₅ +S ₉₅ +S ₁₃₄ +S ₁₅₁ +S ₁₅₅ +S ₁₇₇ +S ₁₈₃ +S ₂₀₁ +S ₂₇₃

【0009】

※ ※ 【表2】

A ₁	S ₃₄ +S ₃₇ +S ₁₃₃ +S ₁₃₂ +S ₁₇₈ +S ₂₅₅ +S ₃₀₃ +S ₃₂₅ +S ₃₅₀ +S ₃₅₀ +S ₄₅₀ +S ₅₀₂ +S ₅₂₉ +S ₅₄₅ +S ₅₅₅ +S ₅₁₅ +S ₇₀₃ + S ₇₁₉ +S ₇₃₉ +S ₇₈₀ +S ₈₀₂ +S ₈₃₈ +S ₉₁₉ +S ₉₃₀ +S ₉₄₈ +S ₉₉₄ +S ₁₀₀₈ +S ₁₀₂₅ +S ₁₀₄₃ +S ₁₀₅₀ +S ₁₀₅₄ +S ₁₀₅₅ +S ₁₀₅₇
A ₂	S ₁ +S ₃₅ +S ₅₈ +S ₁₃₄ +S ₁₃₃ +S ₁₇₉ +S ₂₅₅ +S ₃₀₄ +S ₃₃₈ +S ₃₆₁ +S ₃₈₁ +S ₄₅₁ +S ₅₀₃ +S ₅₃₀ +S ₅₄₇ +S ₅₅₀ +S ₅₁₉ + S ₇₁₀ +S ₇₂₇ +S ₇₅₀ +S ₇₈₁ +S ₈₂₅ +S ₈₃₉ +S ₉₂₀ +S ₉₃₁ +S ₉₄₉ +S ₉₅₅ +S ₁₀₀₄ +S ₁₀₂₇ +S ₁₀₄₃ +S ₁₀₅₁ +S ₁₀₅₅ +S ₁₀₅₇
A ₃	S ₂ +S ₃ +S ₃₇ +S ₇₀ +S ₁₂₆ +S ₁₅₅ +S ₁₈₁ +S ₂₅₅ +S ₃₀₅ +S ₃₅₈ +S ₃₆₃ +S ₃₈₃ +S ₄₅₃ +S ₅₀₅ +S ₅₃₃ +S ₅₄₉ +S ₅₅₅ +S ₅₃₁ + S ₇₁₂ +S ₇₂₂ +S ₇₅₂ +S ₇₈₃ +S ₈₂₅ +S ₈₄₁ +S ₉₂₂ +S ₉₃₃ +S ₉₅₁ +S ₉₇₇ +S ₁₀₀₅ +S ₁₀₂₈ +S ₁₀₄₅ +S ₁₀₅₃ +S ₁₀₅₇
A ₄	S ₄ +S ₆ +S ₇ +S ₄₁ +S ₇₄ +S ₁₄₀ +S ₁₅₉ +S ₁₈₅ +S ₂₇₂ +S ₃₁₀ +S ₃₂₃ +S ₃₅₇ +S ₃₅₇ +S ₄₅₇ +S ₅₀₀ +S ₅₃₈ +S ₅₅₃ +S ₅₁₅ + S ₆₃₅ +S ₇₁₅ +S ₇₂₅ +S ₇₅₅ +S ₇₈₇ +S ₈₀₉ +S ₈₄₅ +S ₉₂₅ +S ₉₃₇ +S ₉₅₅ +S ₁₀₀₁ +S ₁₀₁₀ +S ₁₀₃₃ +S ₁₀₄₉ +S ₁₀₅₇
A ₅	S ₈ +S ₁₂ +S ₁₄ +S ₁₅ +S ₄₉ +S ₅₃ +S ₁₄₈ +S ₁₅₇ +S ₁₉₈ +S ₂₅₀ +S ₃₁₅ +S ₃₇₀ +S ₃₇₅ +S ₃₉₅ +S ₄₇₅ +S ₅₁₇ +S ₅₄₄ +S ₅₅₁ + S ₆₃₀ +S ₆₃₃ +S ₇₅₄ +S ₇₅₄ +S ₇₇₄ +S ₇₈₇ +S ₈₁₇ +S ₈₃₃ +S ₉₃₄ +S ₉₄₅ +S ₉₅₃ +S ₁₀₀₉ +S ₁₀₁₈ +S ₁₀₄₁ +S ₁₀₅₇
A ₆	S ₁₆ +S ₂₄ +S ₂₈ +S ₃₀ +S ₃₁ +S ₅₅ +S ₉₈ +S ₁₆₄ +S ₁₈₃ +S ₂₀₉ +S ₂₃₅ +S ₃₃₄ +S ₃₃₈ +S ₃₅₁ +S ₄₁₁ +S ₄₉₁ +S ₅₃₃ +S ₅₅₀ + S ₆₇₇ +S ₆₃₅ +S ₆₄₅ +S ₇₄₀ +S ₇₅₀ +S ₇₈₀ +S ₈₁₁ +S ₈₃₃ +S ₈₅₉ +S ₉₅₀ +S ₉₅₁ +S ₉₇₉ +S ₁₀₂₅ +S ₁₀₃₄ +S ₁₀₅₇
A ₇	S ₂₂ +S ₂₉ +S ₄₇ +S ₅₁ +S ₅₃ +S ₅₄ +S ₅₅ +S ₁₂₁ +S ₁₅₇ +S ₂₀₅ +S ₂₂₃ +S ₃₁₉ +S ₃₅₇ +S ₄₀₅ +S ₄₁₄ +S ₄₃₄ +S ₅₁₄ +S ₅₅₅ + S ₆₅₃ +S ₆₅₀ +S ₆₅₅ +S ₆₇₂ +S ₇₅₃ +S ₇₇₃ +S ₈₁₃ +S ₈₃₄ +S ₈₅₆ +S ₈₅₃ +S ₉₇₅ +S ₉₈₄ +S ₁₀₂₃ +S ₁₀₄₈ +S ₁₀₅₇
A ₈	S ₉ +S ₂₃ +S ₄₅ +S ₅₆ +S ₆₀ +S ₆₂ +S ₆₃ +S ₉₇ +S ₁₂₀ +S ₁₅₅ +S ₂₁₅ +S ₂₄₁ +S ₃₂₂ +S ₃₅₅ +S ₄₁₅ +S ₄₃₃ +S ₄₄₃ +S ₅₃₃ + S ₅₅₅ +S ₅₈₂ +S ₆₀₅ +S ₆₅₃ +S ₆₈₁ +S ₇₇₃ +S ₇₈₃ +S ₈₂₃ +S ₈₄₃ +S ₈₅₅ +S ₉₀₁ +S ₉₃₂ +S ₉₅₃ +S ₁₀₁₁ +S ₁₀₅₇

【0010】

【表3】

A 9	$S_{46}+S_{56}+S_{78}+S_{94}+S_{102}+S_{108}+S_{108}+S_{108}+S_{143}+S_{178}+S_{242}+S_{261}+S_{287}+S_{374}+S_{412}+S_{484}+S_{489}+$ $S_{495}+S_{595}+S_{611}+S_{635}+S_{655}+S_{714}+S_{777}+S_{818}+S_{828}+S_{856}+S_{899}+S_{911}+S_{947}+S_{1028}+S_{1059}+S_{1067}$
A 10	$S_{18}+S_{94}+S_{73}+S_{98}+S_{117}+S_{120}+S_{134}+S_{125}+S_{137}+S_{161}+S_{194}+S_{200}+S_{270}+S_{806}+S_{392}+S_{430}+S_{483}+$ $S_{487}+S_{507}+S_{557}+S_{629}+S_{655}+S_{673}+S_{733}+S_{745}+S_{835}+S_{846}+S_{898}+S_{907}+S_{929}+S_{965}+S_{1045}+S_{1067}$
A 11	$S_{11}+S_{23}+S_{75}+S_{94}+S_{107}+S_{123}+S_{131}+S_{135}+S_{137}+S_{138}+S_{173}+S_{205}+S_{271}+S_{280}+S_{316}+S_{433}+S_{441}+$ $S_{493}+S_{498}+S_{515}+S_{595}+S_{640}+S_{687}+S_{684}+S_{743}+S_{758}+S_{847}+S_{857}+S_{897}+S_{918}+S_{940}+S_{976}+S_{1067}$
A 12	$S_{81}+S_{92}+S_{110}+S_{186}+S_{188}+S_{188}+S_{204}+S_{213}+S_{216}+S_{218}+S_{219}+S_{233}+S_{236}+S_{253}+S_{271}+S_{397}+S_{484}+$ $S_{523}+S_{574}+S_{579}+S_{599}+S_{670}+S_{721}+S_{745}+S_{768}+S_{824}+S_{837}+S_{828}+S_{938}+S_{978}+S_{999}+S_{1031}+S_{1067}$
A 13	$S_{35}+S_{117}+S_{125}+S_{148}+S_{182}+S_{201}+S_{224}+S_{240}+S_{246}+S_{253}+S_{254}+S_{258}+S_{289}+S_{323}+S_{386}+S_{407}+S_{433}+$ $S_{520}+S_{565}+S_{610}+S_{615}+S_{638}+S_{715}+S_{757}+S_{784}+S_{801}+S_{890}+S_{873}+S_{904}+S_{974}+S_{1014}+S_{1035}+S_{1067}$
A 14	$S_{22}+S_{58}+S_{139}+S_{150}+S_{168}+S_{214}+S_{233}+S_{246}+S_{253}+S_{270}+S_{274}+S_{275}+S_{277}+S_{311}+S_{344}+S_{410}+S_{439}+$ $S_{458}+S_{543}+S_{590}+S_{632}+S_{637}+S_{667}+S_{737}+S_{779}+S_{809}+S_{823}+S_{882}+S_{895}+S_{986}+S_{1035}+S_{1067}$
A 15	$S_{31}+S_{43}+S_{79}+S_{180}+S_{171}+S_{189}+S_{236}+S_{244}+S_{257}+S_{283}+S_{291}+S_{296}+S_{297}+S_{298}+S_{332}+S_{365}+S_{431}+$ $S_{480}+S_{478}+S_{583}+S_{601}+S_{603}+S_{658}+S_{678}+S_{708}+S_{800}+S_{827}+S_{844}+S_{903}+S_{916}+S_{1007}+S_{1017}+S_{1067}$
A 16	$S_{40}+S_{61}+S_{98}+S_{119}+S_{200}+S_{211}+S_{229}+S_{276}+S_{284}+S_{307}+S_{323}+S_{331}+S_{336}+S_{387}+S_{398}+S_{372}+S_{405}+$ $S_{471}+S_{490}+S_{515}+S_{603}+S_{641}+S_{693}+S_{698}+S_{715}+S_{738}+S_{840}+S_{857}+S_{884}+S_{943}+S_{958}+S_{1047}+S_{1067}$
A 17	$S_{10}+S_{60}+S_{71}+S_{96}+S_{139}+S_{210}+S_{221}+S_{239}+S_{296}+S_{294}+S_{317}+S_{333}+S_{341}+S_{346}+S_{347}+S_{348}+S_{383}+$ $S_{415}+S_{481}+S_{500}+S_{628}+S_{613}+S_{681}+S_{703}+S_{708}+S_{728}+S_{806}+S_{860}+S_{877}+S_{894}+S_{963}+S_{965}+S_{1067}$

【0011】

* * 【表4】

A 18	$S_{91}+S_{101}+S_{141}+S_{162}+S_{184}+S_{220}+S_{301}+S_{313}+S_{320}+S_{375}+S_{385}+S_{408}+S_{424}+S_{432}+S_{436}+S_{438}+S_{439}+$ $S_{473}+S_{506}+S_{572}+S_{581}+S_{617}+S_{704}+S_{742}+S_{794}+S_{798}+S_{819}+S_{899}+S_{941}+S_{958}+S_{988}+S_{1044}+S_{1067}$
A 19	$S_{13}+S_{104}+S_{114}+S_{154}+S_{175}+S_{197}+S_{233}+S_{314}+S_{325}+S_{343}+S_{389}+S_{398}+S_{421}+S_{437}+S_{445}+S_{449}+S_{461}+$ $S_{462}+S_{486}+S_{619}+S_{655}+S_{604}+S_{630}+S_{717}+S_{765}+S_{807}+S_{813}+S_{833}+S_{913}+S_{954}+S_{981}+S_{998}+S_{1057}$
A 20	$S_{59}+S_{73}+S_{163}+S_{173}+S_{213}+S_{234}+S_{256}+S_{282}+S_{273}+S_{334}+S_{402}+S_{448}+S_{457}+S_{480}+S_{496}+S_{504}+S_{509}+$ $S_{510}+S_{511}+S_{545}+S_{678}+S_{644}+S_{663}+S_{669}+S_{775}+S_{814}+S_{898}+S_{871}+S_{891}+S_{871}+S_{1013}+S_{1040}+S_{1067}$
A 21	$S_{17}+S_{78}+S_{90}+S_{180}+S_{190}+S_{230}+S_{251}+S_{273}+S_{309}+S_{390}+S_{401}+S_{415}+S_{458}+S_{474}+S_{497}+S_{513}+S_{521}+$ $S_{535}+S_{537}+S_{628}+S_{652}+S_{655}+S_{661}+S_{680}+S_{709}+S_{739}+S_{831}+S_{833}+S_{866}+S_{908}+S_{988}+S_{1030}+S_{1067}$
A 22	$S_{27}+S_{44}+S_{103}+S_{116}+S_{207}+S_{217}+S_{257}+S_{278}+S_{300}+S_{336}+S_{417}+S_{428}+S_{446}+S_{492}+S_{501}+S_{534}+S_{540}+$ $S_{548}+S_{562}+S_{564}+S_{565}+S_{589}+S_{623}+S_{628}+S_{707}+S_{723}+S_{820}+S_{839}+S_{910}+S_{915}+S_{935}+S_{1015}+S_{1067}$
A 23	$S_{47}+S_{63}+S_{63}+S_{145}+S_{158}+S_{249}+S_{259}+S_{299}+S_{320}+S_{342}+S_{378}+S_{459}+S_{470}+S_{485}+S_{534}+S_{543}+S_{566}+$ $S_{583}+S_{490}+S_{594}+S_{596}+S_{597}+S_{631}+S_{634}+S_{730}+S_{748}+S_{776}+S_{823}+S_{900}+S_{963}+S_{957}+S_{977}+S_{1067}$
A 24	$S_{80}+S_{122}+S_{149}+S_{165}+S_{235}+S_{235}+S_{339}+S_{339}+S_{373}+S_{400}+S_{423}+S_{456}+S_{539}+S_{580}+S_{588}+S_{614}+S_{623}+$ $S_{646}+S_{653}+S_{670}+S_{674}+S_{678}+S_{677}+S_{711}+S_{744}+S_{810}+S_{829}+S_{856}+S_{943}+S_{990}+S_{1033}+S_{1037}+S_{1067}$
A 25	$S_{20}+S_{100}+S_{143}+S_{169}+S_{185}+S_{246}+S_{258}+S_{349}+S_{369}+S_{399}+S_{420}+S_{442}+S_{478}+S_{558}+S_{570}+S_{588}+S_{634}+$ $S_{643}+S_{665}+S_{683}+S_{690}+S_{694}+S_{695}+S_{697}+S_{731}+S_{764}+S_{830}+S_{849}+S_{875}+S_{963}+S_{1000}+S_{1053}+S_{1067}$

【0012】

【表5】

A ₂₆	S ₆ +S ₂₆ +S ₁₀₆ +S ₁₄₇ +S ₁₇₄ +S ₁₉₁ +S ₂₅₀ +S ₂₈₃ +S ₃₄₄ +S ₃₆₄ +S ₄₀₄ +S ₄₂₅ +S ₄₄₇ +S ₄₈₃ +S ₅₆₄ +S ₆₇₈ +S ₆₉₃ + S ₆₉₉ +S ₆₄₅ +S ₅₇₁ +S ₆₂₇ +S ₆₃₆ +S ₆₉₉ +S ₇₀₁ +S ₇₀₂ +S ₇₃₆ +S ₇₆₉ +S ₈₃₈ +S ₈₆₄ +S ₈₉₀ +S ₉₆₇ +S ₁₀₀₈ +S ₁₀₆₇
A ₂₇	S ₆₂ +S ₆₇ +S ₇₇ +S ₁₅₇ +S ₁₈₉ +S ₂₃₆ +S ₂₄₃ +S ₃₀₂ +S ₃₁₈ +S ₄₀₅ +S ₄₁₆ +S ₄₃₅ +S ₄₇₇ +S ₄₃₉ +S ₆₃₅ +S ₆₁₉ +S ₆₃₇ + S ₆₄₅ +S ₆₉₁ +S ₇₀₀ +S ₇₂₃ +S ₇₃₂ +S ₇₄₇ +S ₇₅₁ +S ₇₅₃ +S ₇₈₄ +S ₇₈₈ +S ₈₂₁ +S ₈₈₇ +S ₉₀₈ +S ₉₃₃ +S ₁₀₁₉ +S ₁₀₆₇
A ₂₈	S ₃₅ +S ₉₀ +S ₉₅ +S ₁₁₅ +S ₁₉₈ +S ₂₃₇ +S ₂₅₄ +S ₂₈₁ +S ₃₄₀ +S ₃₅₃ +S ₄₄₄ +S ₄₈₄ +S ₄₉₄ +S ₅₁₅ +S ₅₈₇ +S ₆₇₈ +S ₆₅₄ + S ₆₅₅ +S ₆₈₃ +S ₇₂₆ +S ₇₂₈ +S ₇₆₁ +S ₇₇₇ +S ₇₈₅ +S ₇₈₈ +S ₇₉₁ +S ₇₉₂ +S ₈₃₅ +S ₈₅₈ +S ₉₂₈ +S ₉₄₄ +S ₉₇₀ +S ₁₀₆₇
A ₂₉	S ₆₇ +S ₁₂₅ +S ₁₇₇ +S ₁₈₂ +S ₂₀₂ +S ₂₂₃ +S ₂₃₄ +S ₃₃₁ +S ₃₃₅ +S ₄₂₇ +S ₄₄₀ +S ₆₃₁ +S ₆₄₁ +S ₆₅₁ +S ₆₂₂ +S ₆₃₄ +S ₆₅₀ + S ₇₄₁ +S ₇₅₃ +S ₇₇₀ +S ₈₁₆ +S ₈₂₅ +S ₈₄₈ +S ₈₅₄ +S ₈₇₂ +S ₈₇₈ +S ₈₇₈ +S ₈₇₉ +S ₉₁₃ +S ₉₄₈ +S ₁₀₁₃ +S ₁₀₃₁ +S ₁₀₆₇
A ₃₀	S ₂₅ +S ₁₁₃ +S ₁₅₁ +S ₂₀₅ +S ₂₀₆ +S ₂₂₅ +S ₂₂₈ +S ₃₀₂ +S ₃₂₀ +S ₃₇₇ +S ₃₈₄ +S ₄₅₃ +S ₄₆₈ +S ₅₅₇ +S ₅₆₇ +S ₆₀₇ +S ₆₂₈ +S ₆₅₀ + S ₆₈₅ +S ₇₈₇ +S ₇₇₈ +S ₇₈₆ +S ₈₄₃ +S ₈₅₁ +S ₈₇₄ +S ₈₈₀ +S ₈₉₈ +S ₉₀₂ +S ₉₀₄ +S ₉₀₈ +S ₉₂₈ +S ₉₇₂ +S ₁₀₃₈ +S ₁₀₆₇
A ₃₁	S ₁₉ +S ₄₅ +S ₁₃₃ +S ₁₇₀ +S ₂₂₂ +S ₂₃₇ +S ₂₄₇ +S ₃₂₇ +S ₃₆₅ +S ₃₉₆ +S ₄₁₂ +S ₄₇₃ +S ₄₈₅ +S ₆₇₈ +S ₆₈₅ +S ₆₂₈ +S ₆₄₇ + S ₆₈₉ +S ₇₀₆ +S ₇₂₆ +S ₇₉₇ +S ₈₁₆ +S ₈₈₁ +S ₈₇₀ +S ₈₈₂ +S ₉₀₂ +S ₉₁₇ +S ₉₃₁ +S ₉₂₈ +S ₉₂₄ +S ₉₆₈ +S ₉₉₁ +S ₁₀₆₇
A ₃₂	S ₆₅ +S ₉₈ +S ₁₁₁ +S ₁₈₈ +S ₂₃₅ +S ₂₈₅ +S ₂₈₅ +S ₃₁₃ +S ₃₃₃ +S ₄₃₅ +S ₄₆₂ +S ₄₇₉ +S ₆₃₈ +S ₆₅₁ +S ₆₄₃ +S ₆₅₂ +S ₆₉₂ + S ₇₁₃ +S ₇₂₅ +S ₇₇₁ +S ₈₅₃ +S ₈₅₃ +S ₈₈₁ +S ₉₂₇ +S ₉₃₅ +S ₉₅₀ +S ₉₇₅ +S ₉₈₃ +S ₉₈₇ +S ₉₈₉ +S ₉₉₀ +S ₁₀₃₄ +S ₁₀₆₇
A ₃₃	S ₃₃ +S ₉₉ +S ₁₁₈ +S ₁₄₄ +S ₂₃₁ +S ₂₈₉ +S ₃₂₁ +S ₃₂₅ +S ₃₄₆ +S ₄₂₈ +S ₄₆₈ +S ₄₉₆ +S ₆₁₃ +S ₆₇₁ +S ₆₈₄ +S ₆₇₅ +S ₆₈₈ + S ₇₂₆ +S ₇₄₅ +S ₇₈₈ +S ₈₀₄ +S ₈₂₅ +S ₈₃₅ +S ₉₁₄ +S ₉₃₀ +S ₉₈₉ +S ₉₉₂ +S ₁₀₀₈ +S ₁₀₁₆ +S ₁₀₂₀ +S ₁₀₂₂ +S ₁₀₂₅ +S ₁₀₆₇

【0013】トレリス計算回路20は、例えばJ-2個の演算ユニット27を直列に接続することによって、mビット信号の最小信号値0との差の2乗、及び最大信号値I_{max} (=2^m-1)との差の2乗を枝尺度(メトリック)として計算及び蓄積する機能を有する。各トレリス計算回路20の蓄積結果は、各々2つの中間結果I0(i)とI1(i)として中間結果出力端子31から出力される(1≤i≤J)。

【0014】各演算ユニット27は自乗回路22と、差分自乗回路23と、4つの加算回路24と2つの最小値回路25と、出力決定回路26とからなる。そして、各演算ユニット27は、1つのmビット入力と2つの2mビット入力、2つの2mビット出力を有している。初段の演算ユニット27-2では、mビット入力にはS₁₂を入力し、2つの2mビット入力には、自乗回路22-1と差分自乗回路23-1から初期値として(S₁₁)²と(I_{max}-S₁₁)²をそれぞれ入力する。ここで、I_{max}=2^m-1であり、S₁₁は、複合パリティ検査和A₁の計算に使用するシフトレジスタ10のレジスタ出力を表す。また便宜上、以下では(S₁₁)²を入力した方の2mビット入力を0(ゼロ)側入力、(I_{max}-S₁₁)²を入力する方を1(イチ)側入力と呼ぶ。

【0015】演算ユニット27の2つの出力I0(i, 1)とI1(i, 1)の計算手順を初段の演算ユニット27-2を例にとって説明すると以下ようになる。

【0016】(初段の演算ユニットの計算手順例)

【0017】

【数1】A=min((S₁₁)²+(S₁₂)², (I_{max}-S₁₁)²+(I_{max}-S₁₂)²)

B=min((S₁₂)²+(I_{max}-S₁₂)², (S₁₁)²+(I_{max}-S₁₁)²)

if (A≥B) then

I0(i, 1)=A-B

I1(i, 1)=0

else

I0(i, 1)=0

I1(i, 1)=B-A

上記の信号Aは一方の最小値回路25-2-1から出力され、上記の信号Bは他方の最小値回路25-2-2から出力される。上記if以下の演算は出力決定回路26-2で行われる。

【0018】2段目以降の任意の演算ユニット27-jについては、mビット入力にS₁₁を、また2つの2mビット入力のうち0側入力にI0(i, j-1)、また1側入力にI1(i, j-1)を加えることを除けば、上記初段の演算ユニットの計算手順例と同じ演算を行う。

【0019】トレリス計算回路20の出力は、最終段の演算ユニット27-(J-1)の出力であり、

I0(i)=I0(i, J-2)

I1(i)=I1(i, J-2)

とする。

【0020】従来の誤り判定部30の構成例を示す図3を参照すると、誤り判定部30は、2つの総和回路32-1、32-2と、2つの自乗回路34-1、34-2と、2つの加算回路35-1、35-2と、減算回路35-3と、D値計算回路36と、比較回路37と、判定回路38とを有する。D値計算回路36と比較回路37と判定回路38とで誤り判定基本部30'が構成される。

【0021】誤り判定部30で行われる演算は以下のよう示すことができる。

【0022】(誤り判定部の演算)

【0023】

【数2】

$$A = \sum_{i=1}^J I_0(i) + (S_n)^2$$

$$B = \sum_{i=1}^J I_1(i) + (I_{\max} - S_n)^2$$

$$C = A - B$$

$$D = (C + I_{\max}^2) / (2 \times I_{\max}) \quad \dots\dots (*D)$$

if $|C| > TH$ then

F = H

else

F = L

if F = H

then 帰還信号 = D

else 帰還信号 = S_n

【0024】総和回路32では、J個のトレリス計算回路20で計算された $I_0(i)$ 及び $I_1(i)$ について、それぞれの総和を計算する。この計算したそれぞれの総和にシンドロームレジスタのnビット目（シフトレジスタ10の最終ビット出力 S_n ）について、自乗回路34を用いて $(S_n)^2$ と $(I_{\max} - S_n)^2$ を計算して加え、上記の信号A及びBを得る。

【0025】減算器35-3は $C (= A - B)$ を計算する回路である。比較回路37は、Cの絶対値 $|C|$ と、しきい値制御回路40から供給されしきい値入力端子39から加えられたしきい値THとを比較して、その大小関係に応じて制御信号Fを発生する回路である。D値計算回路36は、Cと I_{\max} の値を用いて上式(*D)に示した信号Dを生成する回路である。判定回路38は、その信号Dと、 $E (= S_n)$ とを、制御信号Fのレベルに応じて切り替えて帰還信号300を生成する回路である。誤り訂正基本部30'は、誤り判定部30の機能のうち、上式(*D)以降の演算を行う部分である。

【0026】図1の出力処理部50は、帰還信号300に適当なしきい値処理を施して、2値出力を復号出力端子200に出力する回路である。

【0027】

【発明が解決しようとする課題】一般に、信号処理装置のスループット（単位時間に処理できる信号量：この場合、単位時間当たり復号可能な受信語数）は、回路中のレジスタ出力から別の、又は同じレジスタ入力までの信

号経路中に存在する論理素子数が少ないほど大きい（高速になる）。図1、図2及び図3で示される上述のトレリス軟判定誤り訂正回路の場合は、シフトレジスタ10の任意の位置のレジスタから出てトレリス計算部20、誤り判定部30を経て上記シフトレジスタ10の入力へ戻る信号経路中の論理素子数が符号長nとともに増加するため、例えば（273, 191）差集合巡回符号あるいは（1057, 813）差集合巡回符号など、符号長が長くなるにつれて、トレリス軟判定誤り訂正回路を実用的な速度で動作させることが困難になるという解決すべき課題があった。

【0028】この種の回路実現上の課題を解決する一般的な手段として、速度を制限する要因となっているレジスタ間の信号経路を分割し、その分割点に新たにレジスタの挿入を行う方法（所謂パイプライン化）がある。しかし、通常このパイプライン化手法は、分割すべき信号経路が上記のような帰還ループである場合は、信号処理に使用すべきデータ群相互のタイミングに時間的ずれを生じるため、この時間的ずれの発生を回避する何らかの補償手段なしには適用できない。

【0029】本発明は、上述の点に鑑みてなされたもので、その目的は、上記のようなトレリス軟判定誤り訂正回路中の帰還経路をパイプライン化した場合の、信号処理に使用すべきデータ群相互のタイミングの時間的ずれを回避するための有効な補償手段を有する、遅延訂正型トレリス軟判定誤り訂正回路の回路構成法と、これに付

30

40

50

随するトレリス計算の誤差補償方法を提供することにある。

【0030】

【課題を解決するための手段】本発明は、上記目的を達成するため、以下の構成を有する。

【0031】(1) 高速な誤り訂正回路を実現するために、トレリス計算部及び誤り判定部に、適当なクロック周期（データ転送クロック）を単位とする遅延を設定する。

【0032】(2) 上記のように誤り訂正回路内部に遅延を許容することによって、帰還信号の生成は遅延する。そのため、この帰還信号はシフトレジスタの信号入力段でなく、帰還信号生成の所要遅延を考慮した分だけ遅延させて帰還させる。これを以下、遅延訂正と呼ぶ。

【0033】(3) この遅延訂正を行った場合、シフトレジスタの先頭ビットから帰還信号が入力されているレジスタの直前段までの間にあるレジスタには、本来帰還されるべき信号は到着しない。これによって、これらの本来期待される値を持たないレジスタ出力をその計算に利用しているトレリス計算部の出力には誤差が含まれる。これらの誤差については、トレリス計算部と誤り判定部との間に挿入されたトレリス変分調整部において補償する。

【0034】更に詳細には、本発明のトレリス軟判定誤り訂正回路は、 m ($m > 1$) ビット幅のバイナリ信号を入力とし、符号長 n なる多数決論理復号可能な符号を復*

$S_{i,i} \leq \beta - 1$ を使用する前記トレリス計算回路の演算結果に

【0039】振幅制限操作と交換操作を施す。更に、前記トレリス変分調整部の前記振幅制限操作は、 m ビット信号の最大信号値 I_{\max} ($2^m - 1$)、帰還信号 I_{rb} 、絶対値操作を $|\cdot|$ で表すとき、前記トレリス計算回路の出力信号値を $I_{\max} \times |I_{\max} - 2 \times I_{rb}|$ 以下に制限することを特徴とし、前記トレリス変分調整部の前記交換操作は、 $I_{th} = (I_{\max} + 1) / 2$ とするとき、 $I_{rb} \geq I_{th}$ のときに前記トレリス計算回路の2つの出力を交換する操作であることを特徴とすることができる。

【0040】また、本発明のトレリス変分調整方法は、前記シフトレジスタの受信語入力端から数えて i 番目の*

$S_{i,i} \leq \beta - 1$ を使用する前記トレリス計算回路の演算結果に

【0044】振幅制限操作と交換操作を施す工程とを有し、前記振幅制限操作を施す工程では、 m ビット信号の最大信号値 I_{\max} ($2^m - 1$)、帰還信号 I_{rb} 、絶対値操作を $|\cdot|$ で表すとき、前記トレリス計算回路の出力信号値を $I_{\max} \times |I_{\max} - 2 \times I_{rb}|$ 以下に制限することと実行し、前記交換操作を施す工程では、 $I_{th} = (I_{\max} + 1) / 2$ とするとき、 $I_{rb} \geq I_{th}$ のときに前記トレリス計算回路の2つの出力を交換する操作を実行することを特徴とする。

* 号するトレリス軟判定誤り訂正回路において、受信語入力端から β 番目 ($\beta > 1$) のレジスタに帰還された判定結果の入力端子を持つシフトレジスタと、該シフトレジスタからトレリス計算回路へのデータ転送クロックを単位として m_1 クロック遅延して演算結果を出力するトレリス計算部と、前記シフトレジスタから前記トレリス計算回路へのデータ転送クロックを単位として m_2 クロック遅延して演算結果を出力する誤り判定部とを有する。

【0035】また、本発明は、その一形態として、前記 m_1 、 m_2 、 β の各定数は、 m_2 は正の整数、 $m_1 = \alpha \times m_2$ 、 $\alpha = 0$ または正の整数、 $\beta = \alpha + 2$ または $\beta = (\alpha + 1) \times m_2 + 1$ である。また、前記誤り判定部は、前記シフトレジスタへの帰還信号を監視しつつ、 $\beta = 1$ の場合のトレリス軟判定誤り判定回路との誤差を補償するトレリス変分調整部を有する。前記トレリス変分調整部は、前記シフトレジスタの受信語入力端から数えて i 番目のレジスタ出力を S_i とするとき、

【0036】

【外5】

$\beta - 1$ ビット目までのレジスタ $S_{i,i} \leq \beta - 1$

【0037】を誤り訂正動作時に値0 (m ビット信号の最小信号値) にセットし、毎クロックの帰還信号を監視しながら必要に応じて

【0038】

【外6】

* レジスタ出力を S_i とするとき、

【0041】

【外7】

$\beta - 1$ ビット目までのレジスタ $S_{i,i} \leq \beta - 1$

【0042】を誤り訂正動作時に値0 (m ビット信号の最小信号値) にセットする工程と、毎クロックの帰還信号を監視しながら必要に応じて

【0043】

【外8】

【0045】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0046】図4は本発明による遅延訂正型トレリス軟判定誤り訂正回路の一実施形態における、符号長 n 、直交する複合パリティ検査和の数 J なる多数決論理復号可能な符号のための基本構成を示す。

【0047】図4に示す遅延訂正型トレリス軟判定誤り訂正回路は、 m (> 1) ビット幅の受信語入力端子10

0と、シフトレジスタ回路10と、トレリス計算部20と、誤り判定部30と、しきい値制御回路40と、出力処理部50と、復号出力端子200とを備えており、上記誤り判定部30は、トレリス変分調整部60と、誤り判定基本部30'とを含む。

【0048】シフトレジスタ回路10は、少なくとも $(n + \alpha) \times m \times m_2$ ビット分のレジスタからなり、図5の(a)に示すように、全ての m ビットレジスタを $(n + \alpha) \times m_2$ 個分直列に接続するか、あるいはまた図5の(b)に示すように、 m ビットレジスタを $n + \alpha$ 10 個直列に接続したものを m_2 個並列に用いることによって構成する。ここで、 m_2 は上記誤り判定部30の内部の信号遅延をクロック数(正の整数)であらわしたものであり、 α は0または正の整数であって、トレリス計算部20内の信号遅延を m_1 とするとき、 $\alpha = m_1 / m_2$ であるものとする。ただし、図5の(b)の構成を用いるときには、 m_2 個の異なる受信語を並列に入力し、図5の(a)の構成を用いるときには、予め m_2 個の受信語を一定の順序で切り替えながら供給するものとする。

【0049】シフトレジスタ回路10には、復号開始から $n \times m_2$ クロック期間(図5の(a)の構成の場合)、または m クロック期間(図5の(b)の構成の場合)だけ受信語入力端子100からクロック(データ転送クロック)に同期して受信語データが読み込まれる。ここで図5の(b)に記載のシフトレジスタ回路は、図5の(a)に記載のシフトレジスタ回路に比べて $1/m$ 20 倍のクロックで駆動するが、スイッチ回路により m_2 個のレジスタデータを一定の順序で切り替えることにより、トレリス計算部20へのデータ転送速度はいずれの場合も同一となる。

【0050】以下の遅延の単位とするクロックは、シフトレジスタ回路10からトレリス計算部20へのデータ転送に用いるクロックであるものとする。シフトレジスタへの受信語の入力が完了して以後、復号操作終了までの期間は、シフトレジスタ回路10へは誤り判定部30の出力(帰還信号)300が、シフトレジスタ回路10の β 番目のレジスタ入力に帰還して供給されている。ここで β は、図5の(a)の構成では、 $(\alpha + 1) \times m_2 + 1$ であり、また図5の(b)の構成では、並列に構成された m_2 個のシフトレジスタのそれぞれの $\alpha + 2$ であ*40

レジスタ群 $\{S_1, S_2, \dots, S_{\beta-1}\}$ に到着しなくなって

【0059】以降の時刻においては、これらのレジスタ群は最小信号値0にリセットされるものと仮定する*3)と、この場合の不具合は、図2のトレリス計算回路において、入力の幾つかが0にスタックした状態の故障が発生することになる。トレリス計算回路は、マクロに見ると $1 \dots$ に近い入力数の奇偶によって、2つの出力10と11が反転するように動作するものであるから、0に固定された(0スタックした)入力の値が $1 \dots$ に近か

*る。後者の場合、シフトレジスタのそれぞれの $\alpha + 2$ 番目のレジスタに一定の順序を保ちながら誤り判定部30の出力300を供給する。

【0051】トレリス計算部20は、例えば図2に示すトレリス計算回路の J 個から構成する。

【0052】トレリス計算部20及び誤り判定部30に上述のように遅延が存在するので、帰還信号300は、図1の従来回路に比べて、一定期間遅延して生成される。このようにして生成された帰還信号300は、誤り判定回路として復号中の誤りが後方に伝搬しないようにするために、シフトレジスタ回路10の受信語入力端(1ビット目)ではなく、トレリス計算部20と誤り判定部30の遅延に相当する量の β だけ後方にシフトして帰還させる必要がある。これを遅延訂正と呼ぶ。

【0053】なお、従来例の黒田ほか：特願平5-303003号で開示された構成は $\beta = 1$ の場合に相当する。一方、本発明は $\beta > 1$ の場合を対象とするものである。

【0054】遅延訂正を行った場合、シフトレジスタの受信語入力端から見て β 番目のレジスタよりも手前(受信語入力端に近い側)にあるレジスタへは、本来入力されるべきデータが到着しなくなるため、そのままでは以下の理由により、これらのレジスタデータを使用するトレリス計算部20の結果に不正なものが現れるようになり、復号は正しく行われない。

【0055】(遅延訂正時の不具合の状況)すなわち、シフトレジスタ回路10の受信語入力端から数えて k 番目のレジスタ、またはそのレジスタの出力を S_k とするとき、遅延訂正時には、

30 【0056】

【外9】

レジスタ S_1 から $S_{\beta-1}$ までのレジスタに

【0057】新たな信号入力が無い状態*1)となる。本来これらがどのような値をとっているかは、回路の構成方法に依存するが、ここでは簡単のため、有意な帰還信号*2)が

【0058】

【外10】

った場合には、トレリス計算回路の出力に誤差が発生するのみならず、場合によっては10と11の値が反転するような不具合が発生する。

【0060】*1)、*2)：この種の誤り訂正回路では、符号長 n の受信語に対して一連の復号動作を開始する前に、 n ビットの受信語データをシフトレジスタに全て格納する必要がある。シフトレジスタに受信語が全て格納された段階で誤り判定部30において計算される帰

還信号300は、ある参照ビット(S_n)に対するその時点での正誤の判定結果に相当するものである。この帰還信号300の値は、受信語を、すなわちシフトレジスタ回路10を、巡回シフトさせるときに、 S_n の新しい値としてシフトレジスタ回路10の適切な位置に帰還されてゆく。このように、シフトレジスタ10の動作には、①受信語の格納期間と、②受信語の逐次復号動作期間とがある。本文中の新たな信号入力の無い期間とは、上記②逐次復号動作期間のことであり、有意な帰還信号とは、上記②の期間に発生する帰還信号300のことで

【0061】*3)：レジスタの入力が不定であるのは回路の安定動作を図る上から望ましくない。ただし、固定値が0(最小信号値)である必然性はなく、0~1

...までのどの値に固定されるのかわかっていればよ*

S_{i+1}	$S_{i+1}(fb)$	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0/225	0/195	0/165	0/135	0/105	0/75	0/45	0/15	15/0	45/0	75/0	105/0	135/0	165/0	195/0	225/0	
1	0/195	0/195	0/165	0/135	0/105	0/75	0/45	0/15	15/0	45/0	75/0	105/0	135/0	165/0	195/0	195/0	
2	0/165	0/165	0/165	0/135	0/105	0/75	0/45	0/15	15/0	45/0	75/0	105/0	135/0	165/0	165/0	165/0	
3	0/135	0/135	0/135	0/135	0/105	0/75	0/45	0/15	15/0	45/0	75/0	105/0	135/0	135/0	135/0	135/0	
4	0/105	0/105	0/105	0/105	0/105	0/75	0/45	0/15	15/0	45/0	75/0	105/0	105/0	105/0	105/0	105/0	
5	0/75	0/75	0/75	0/75	0/75	0/75	0/45	0/15	15/0	45/0	75/0	75/0	75/0	75/0	75/0	75/0	
6	0/45	0/45	0/45	0/45	0/45	0/45	0/45	0/15	15/0	45/0	45/0	45/0	45/0	45/0	45/0	45/0	
7	0/15	15/0	0/15	15/0	15/0	0/15	15/0	0/15	15/0	15/0	15/0	15/0	15/0	15/0	15/0	15/0	
8	15/0	15/0	15/0	15/0	15/0	15/0	15/0	15/0	0/15	0/15	0/15	0/15	0/15	0/15	0/15	0/15	
9	45/0	45/0	45/0	45/0	45/0	45/0	45/0	15/0	0/15	0/45	0/45	0/45	0/45	0/45	0/45	0/45	
10	75/0	75/0	75/0	75/0	75/0	75/0	45/0	15/0	0/15	0/45	0/75	0/75	0/75	0/75	0/75	0/75	
11	105/0	105/0	105/0	105/0	105/0	75/0	45/0	15/0	0/15	0/45	0/75	0/105	0/105	0/105	0/105	0/105	
12	135/0	135/0	135/0	135/0	105/0	75/0	45/0	15/0	0/15	0/45	0/75	0/105	0/135	0/135	0/135	0/135	
13	165/0	165/0	165/0	135/0	105/0	75/0	45/0	15/0	0/15	0/45	0/75	0/105	0/135	0/165	0/165	0/165	
14	195/0	195/0	165/0	135/0	105/0	75/0	45/0	15/0	0/15	0/45	0/75	0/105	0/135	0/165	0/195	0/195	
15	225/0	195/0	165/0	135/0	105/0	75/0	45/0	15/0	0/15	0/45	0/75	0/105	0/135	0/165	0/195	0/225	

【0064】表6は、図2に記載の初段の演算ユニット27-2において、2つの入力 S_{i+1} と S_{i+2} に対する演算ユニット27-2の出力 $I0(i, 1)$ と $I1(i, 1)$ を $m=4$ の場合について、 $I0(i, 1)/I1(i, 1)$ ※

第1列目をレジスタ群 $\{S_1, S_2, \dots, S_{\beta-1}\}$ に属さないレジスタ S_{i+1} の値、第1行目をレジスタ群 $\{S_1, S_2, \dots, S_{\beta-1}\}$ に属するレジスタの値 S_{i+1} とすると、

【0066】これまでの説明により遅延訂正型誤り訂正回路では、この演算ユニット27-2の出力は、 S_{i+1} が0スタックした状態として表6の第2列目のようになるが、仮に帰還信号300(表6および後述の表7では帰還信号を fb とした)の値が何らかの方法で既知である★

$$I_{\dots} \times I_{\dots} - 2 \times fb$$

以下に制限する必要があることと、

(b) 帰還信号の fb が $(I_{\dots} + 1)/2$ 以上となる場合には、トレリス計算回路の2つの出力($I0$ と $I1$)

*い。ただし、あらゆる場合について述べるのは煩雑であるので、以下では最小信号値に固定される場合についてのみ説明する。

【0062】上記の遅延訂正時の不具合の解決法について述べる前に、図2のトレリス計算回路において、帰還信号300が入力されるべきところで0スタックしている場合の出力がどのような損傷をうける可能性があるのかについて、表6を参照しながら検討する。表6は、入力ビット幅が4($m=4$)の場合について、0スタックのあるトレリス計算回路出力のうち、帰還信号 fb に応じて振幅制御操作及び交換操作を行う必要のある範囲を示す。

【0063】

【表6】

※($i, 1$)の形式で例示したものである。

【0065】

【外11】

★ならば、その値に応じて、

(a) 表6で太枠で囲んだ領域については、演算ユニットの値の出力の最大値を

【0067】

【数3】

$$\dots (1)$$

1)を交換しなければならないことがわかる。

【0068】上記の(a)の制限を実行する振幅制限操作と上記の(b)の交換を実行する交換操作とを合わせ

て、トレリス変分調整（操作）と呼ぶ。

【0069】下記の表7に、時刻 t に非ゼロの帰還信号 f_b を検出したときの、時刻 $t+1$ 以降の時刻での帰還信号判定を正しく行うために、その出力にトレリス変分調整を行う必要のあるトレリス計算回路を、(273, 191) 差集合巡回符号と(1057, 813) 差集合巡回符号との場合について例示した。

【0070】

【表7】

時刻	(273,191)符号の場合	(1057,813)符号の場合
t	(非ゼロ f_b の発生)	
$t+1$	A_{14}	A_2
$t+2$	A_{11}	A_3
$t+3$	A_9	A_3
$t+4$	A_5	A_4
$t+5$	A_{17}	A_{28}
$t+6$	A_9	A_4
$t+7$	A_{13}	A_4
$t+8$	A_{14}	A_5

【0071】ここで、トレリス計算回路の出力は0スタックする信号入力的位置に依存しないことに注意する必要がある。これは、トレリス計算回路が基本的に多数の入力の中の奇偶判定器として機能するべきものであって、信号入力の物理的な位置によって演算結果に変化が*

シフトレジスタ回路10の最終ビット出力 $S_{n+\alpha}$ の入力端子33と、

【0077】自乗回路34-1、34-2と、加算回路35-1、35-2と、減算回路35-3と、誤り訂正基本部30'と、トレリス変分補償回路60'とを含む。この構成において誤り訂正基本部30'を除いた部※30

トレリス計算回路のうち、 $S_1 \sim S_{\beta-1}$ を計算に使用しているものの出力

【0079】である。

【0080】ここで総和回路32-1、32-2は、基本的には図3の総和回路と同機能のものであるが、0ス★

(レジスタ群 $\{S_1, S_2, \dots, S_{\beta-1}\}$ を計算に使用するトレリス計算回路)

【0082】

【数4】

$$A_j \ni S_{k, k < \beta}$$

【0083】の出力 $I0'$ 、 $I1'$ だけは、後にトレリス変分調整操作を行って正しい値を得た後に別途加算する構成となっている。また、トレリス変分調整部60と誤り判定基本部30'とを合わせた遅延は m_z クロック分である。また、図6でのブロック60Aの部分は、これに含まれる各ブロックの演算結果が、誤り判定結果に不都合を与えないという意味で互いに適切な時刻に出力されるように考慮すべき範囲を例示している。

【0084】本発明によるトレリス変分調整部60のト

*現れるべきものでないことから明らかである。よって、上記説明は、トレリス計算回路の初段以外の演算ユニットの入力が0スタックしているときにも同様に成り立っている。

【0072】同じトレリス計算回路の複数の入力が0スタックしている場合($\beta > 3$ の場合の表7の(1057, 813)符号の A_3 などがその例である。)でも、本回路の逐次復号性により、0スタック位置における本来の値(逐次計算される f_b の値)の計算に不具合は生じない。ただし、次のような付加的な手順が必要になる。

【0073】(c) 0スタック位置に対する帰還信号 f_b の各々について上式(1)を最小化するものをトレリス計算回路の出力振幅の最大値とすること。

【0074】(d) 上記(b)の交換操作におけるしきい値 $(I_{max} + 1) / 2$ を越える帰還信号 f_b が奇数個である場合についてのみ交換操作を行うこと。

【0075】以上の操作(a)～(d)を実行する、本発明によるトレリス変分調整部60を含む誤り判定部300の構成例を図6に示す。図6において、トレリス計算回路20の出力を入力する中間結果入力端子31-0及び31-1と、総和回路32-1、32-2と、

【0076】

【外12】

※分を、トレリス変分調整部60と呼ぶ。なお、図中の $10'(j)$ 、 $11'(j)$ は、

【0078】

【外13】

★タックを含むトレリス計算回路

【0081】

【外14】

レリス変分補償回路60'の一構成例を図7に示す。図7に示すように、本発明によるトレリス変分調整部60のトレリス変分補償回路60'は、シフトレジスタ回路61と、トレリス変分調整回路62を含む。

【0085】シフトレジスタ回路61は、帰還信号入力端子300から入力される帰還信号 f_b を必要な期間保持するためのもので、データレジスタ61-x-yから構成される。ここでデータレジスタ61-x-yは、このシフトレジスタ回路61の入力端子300から数えた位置を z とするとき、

【0086】

【数5】 $x = \text{int}((z-1)/m_z) + 1$

$y = z - m_z \times (x-1)$

であるものを指す(注: $\text{int}(R)$ は、実数 R 以下の最大の整数を求める演算をあらわす。)

【0087】トレリス変分調整回路62は、0スタック* (レジスタ群 $\{S_1, S_2, \dots, S_{\beta-1}\}$ を計算に使用するトレリス計算回路)

【0089】

【数6】

$$A_j \ni S_{k, k < \beta}$$

【0090】の出力 I_0' を入力する中間結果入力端子65-0と、

【0091】

【数7】

$$A_j \ni S_{k, k < \beta}$$

【0092】の出力 I_1' を入力する中間結果入力端子65-1と、トレリス変分調整後の出力 I_0 と I_1 を出力する調整後出力信号端子67-0と67-1と、振幅制限部63と交換部64とからなり、上記シフトレジスタ回路61の入力側から数えて m_2 の整数倍の位置にあるレジスタ61-x- m_2 の出力 $fb(t-x)$ に応じて、上記トレリス変分調整操作を実行するものである。

ここで、

【0093】

【数8】

$$A_j \ni S_{k, k < \beta}$$

【0094】の出力は、 $fb(t-k)$ を参照しながら調整する。

【0095】トレリス変分調整回路62の振幅制限部63と交換部64の機能は、上記したトレリス変分調整操作の振幅制限操作(a)と交換操作(b)の通りであるが、より具体的には図8に示すようになる。

【0096】図4のしきい値制御回路40は、復号開始以降の経過クロック数を参照しながら決められたシーケンスに従って誤り判定部30で使用するしきい値 TH を発生する回路である。また、出力処理部50は、誤り判定部30の出力に適当なしきい値処理を行って2値信号出力を復号出力端子200へ出力する回路である。

【0097】なお、上述した本発明の実施形態ではシフトレジスタ回路の受信語入力端から $\beta-1$ 個のレジスタを0にリセットする場合について説明を行ったが、シフトレジスタが m ビット信号の最小信号値でなく、 I_{\dots} 以下の任意の値に固定される場合における補償操作も、上記補償操作の詳細な記述から類推容易である。

【0098】

【発明の効果】以上説明したように、本発明によれば、トレリス軟判定誤り訂正回路中の帰還経路をバイブライン化した場合の、信号処理に使用すべきデータ群相互のタイミングの時間的ずれを回避するために有効な補償手段を実現したので、トレリス軟判定型の誤り訂正回路において任意段数のバイブライン化を施すことが可能となり、従来技術に比べて、最大 $(\alpha+1) \times m_2$ ($=m_1$

*を含むトレリス計算回路

【0088】

【外15】

を計算に使用するトレリス計算回路)

+ m_2) 倍ほど高速なトレリス軟判定型誤り訂正回路が実現できる効果がある。

【図面の簡単な説明】

【図1】従来のトレリス軟判定誤り訂正回路の構成例を示すブロック図である。

10 【図2】従来のトレリス軟判定誤り訂正回路におけるトレリス計算回路の構成例を示すブロック図である。

【図3】従来のトレリス軟判定誤り訂正回路における誤り判定部の構成例を示すブロック図である。

【図4】本発明による遅延訂正型トレリス軟判定誤り訂正回路の基本構成を示すブロック図である。

【図5】本発明による遅延訂正型トレリス軟判定誤り訂正回路におけるシフトレジスタ回路の構成例を示す結線図である。

20 【図6】本発明によるトレリス変分調整部を含む誤り判定部の構成例を示すブロック図である。

【図7】本発明によるトレリス変分調整部におけるトレリス変分補償回路の構成例を示すブロック図である。

【図8】本発明によるトレリス変分補償回路の(a)振幅制御部、及び(b)交換部の構成例を示す機能ブロック図である。

【符号の説明】

10 シフトレジスタ回路

20 トレリス計算回路

21 信号入力端子

30 22 自乗回路

23 差分自乗回路

24 加算回路

25 最小値回路

26 出力決定回路

27 演算ユニット

30 誤り判定部

30' 誤り判定基本部

31 中間結果入力端子

32 総和回路

40 33 最終ビット入力端子

34 自乗回路

35-1, 35-2 加算回路

35-3 減算回路

36 D値計算回路

37 比較回路

38 判定回路

39 しきい値入力端子

40 しきい値制御回路

50 出力処理部

50 60 トレリス変分調整部

21

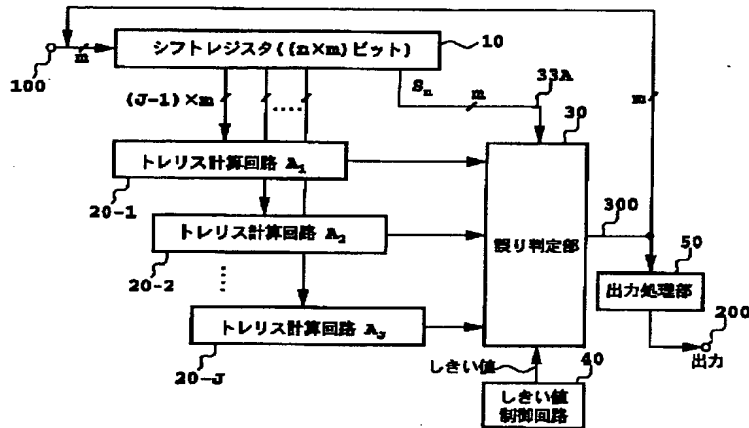
- 60' トレリス変分補償回路
- 61 シフトレジスタ回路
- 62 トレリス変分調整回路
- 63 振幅制限部
- 64 交換部
- 65 中間結果入力端子

22

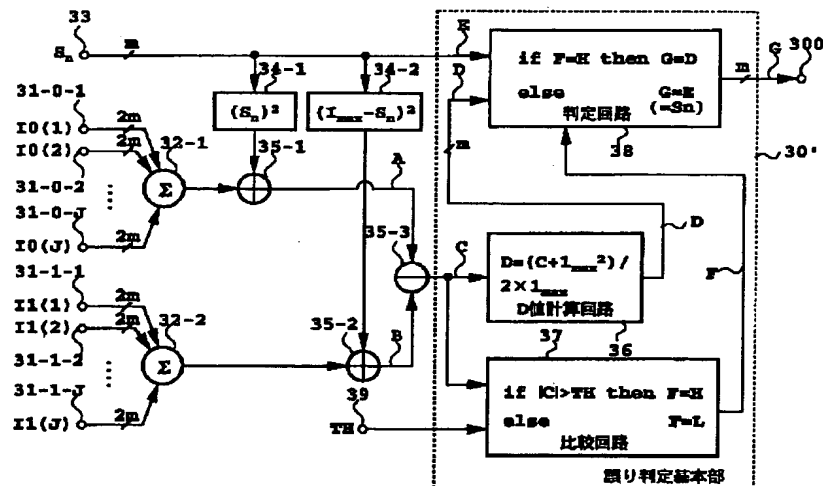
- * 66 遅延帰還信号入力端子
- 67 中間結果出力端子(調整後)
- 100 受信語入力端子(mビット幅)
- 200 復号出力端子
- 300 帰還信号(入力端子/出力端子)

*

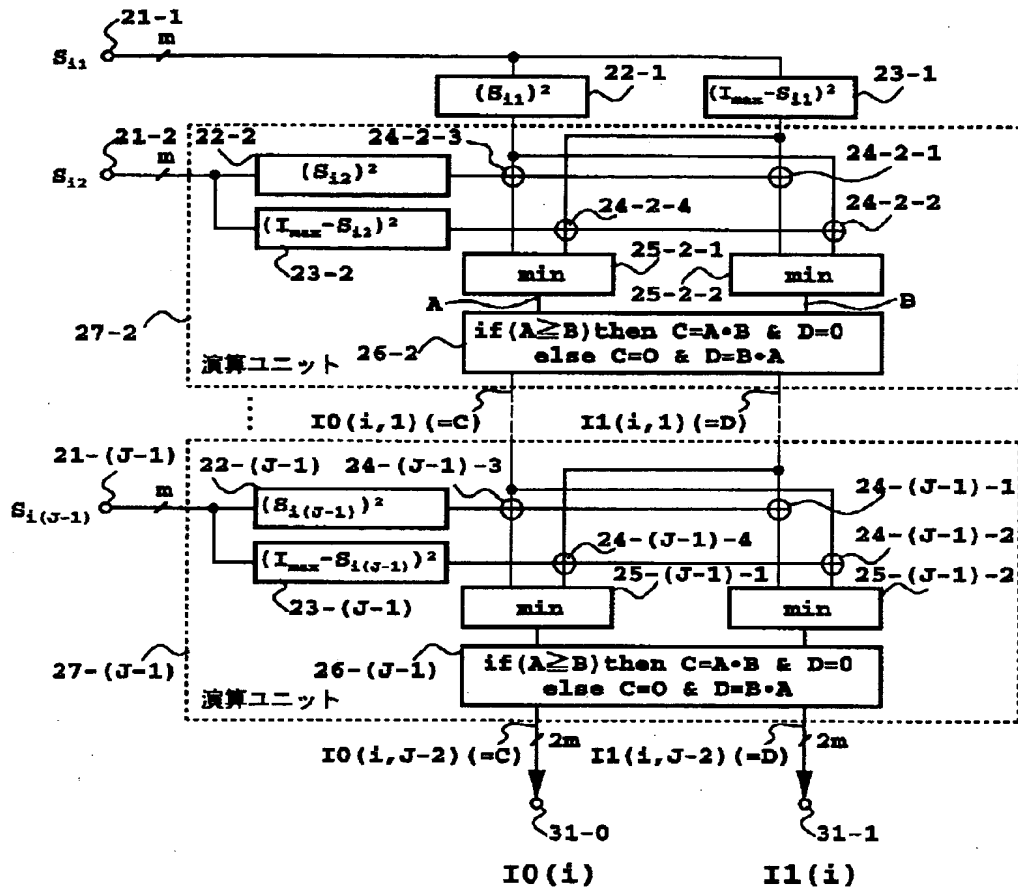
【図1】



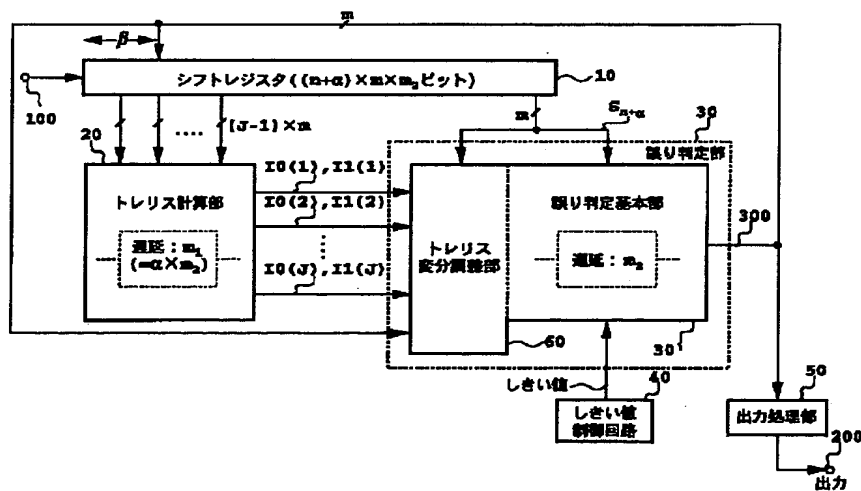
【図3】



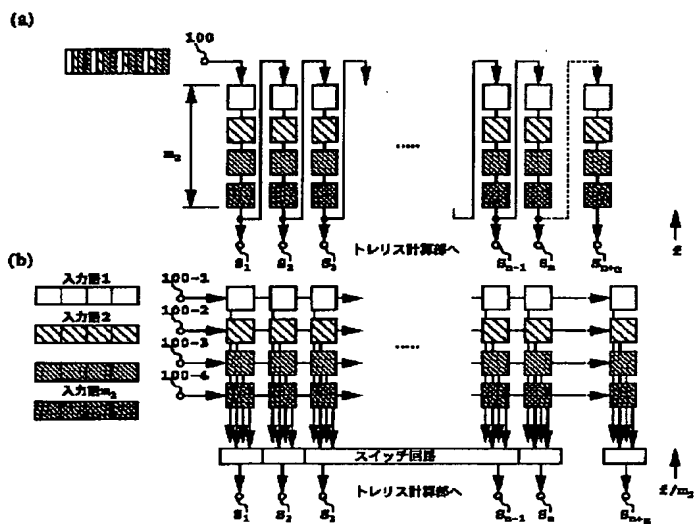
【図2】



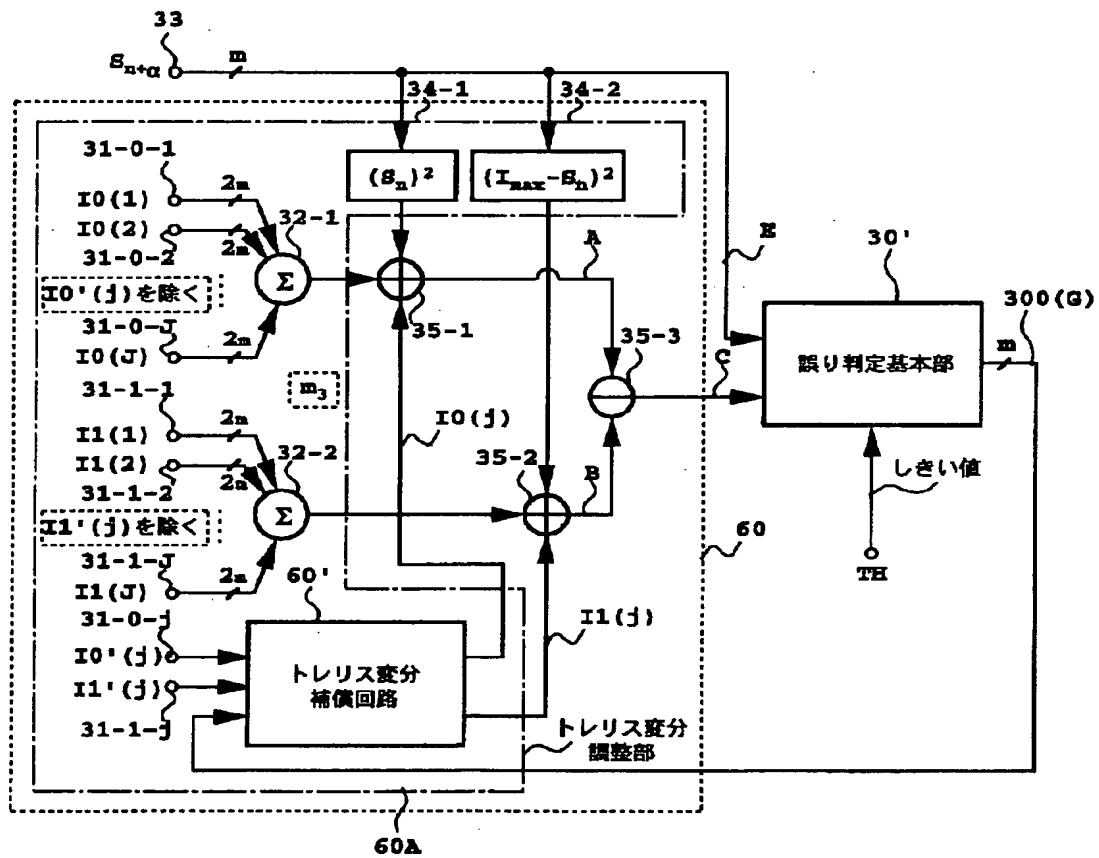
【図4】



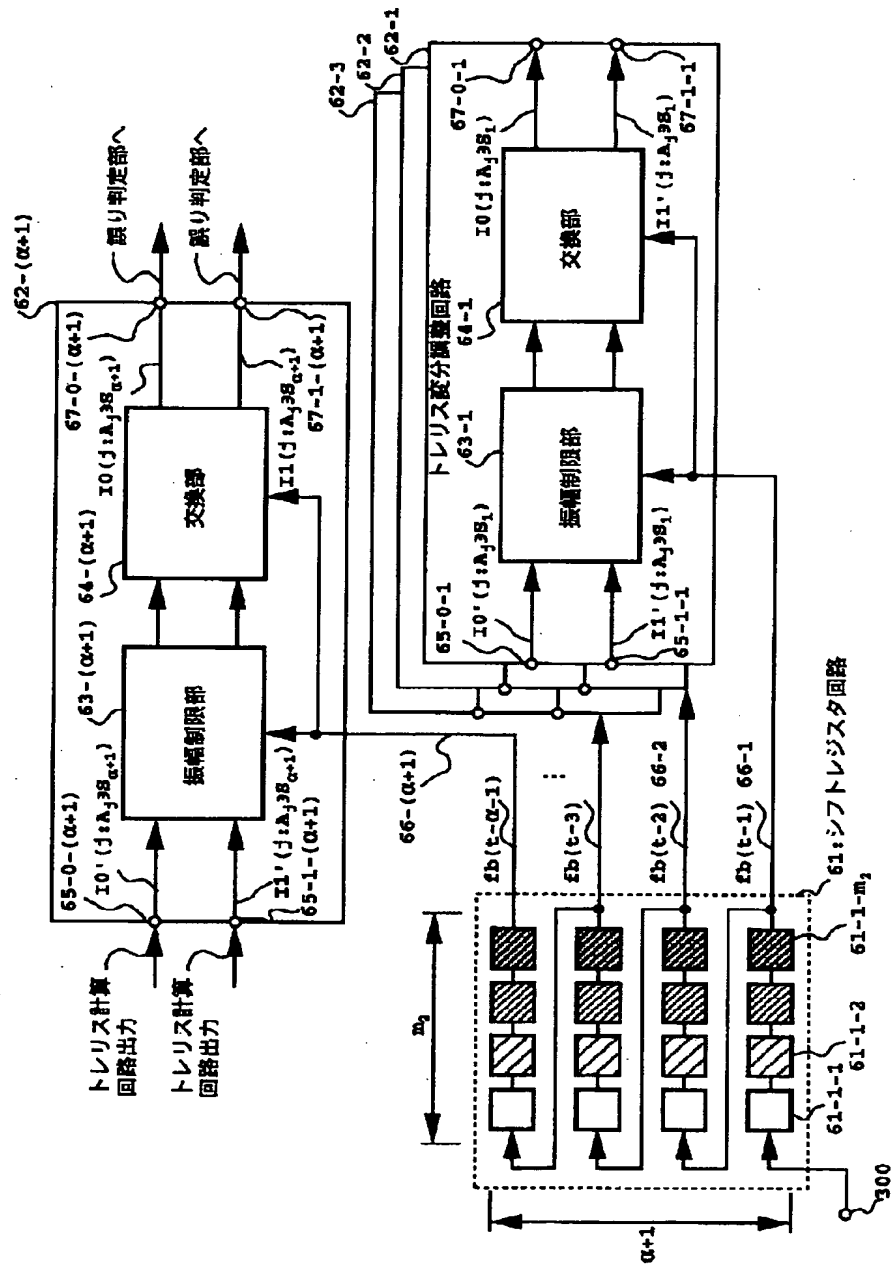
【図5】



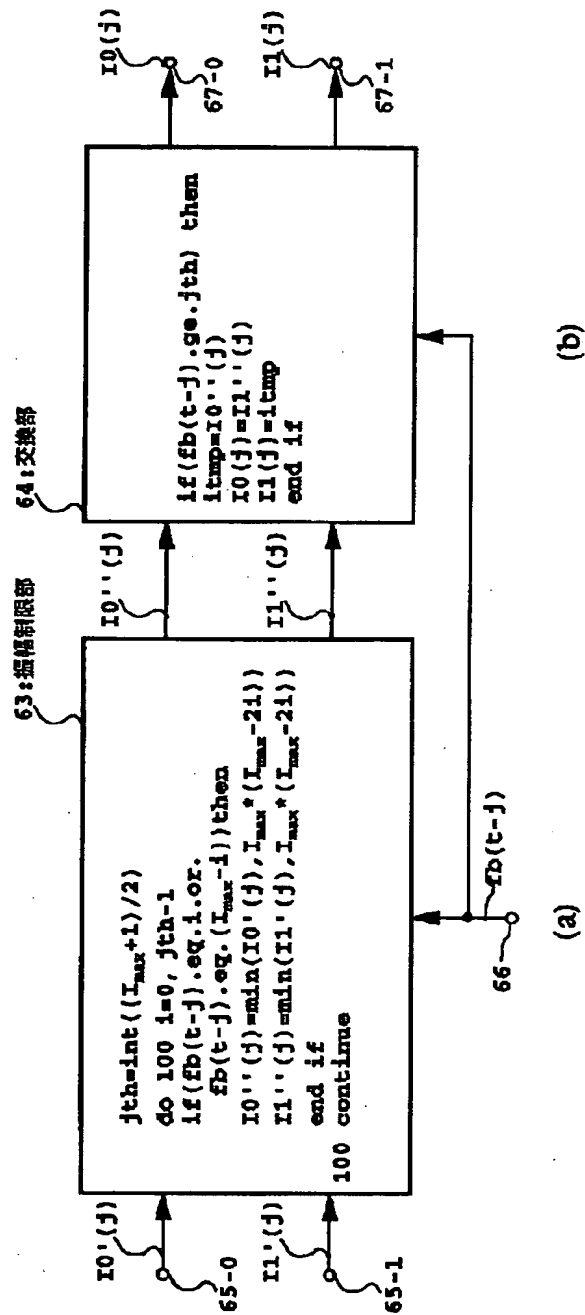
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 高田 政幸

東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内